

DSP 芯片应用系列讲座(三)

第5讲 TMS320C28x DSP 的系统控制和中断

杨 峡¹, 赵汉武¹, 张雄伟²

(1. 解放军理工大学通信工程学院研究生1队, 江苏 南京 210007;

2. 解放军理工大学通信工程学院电子信息工程系)

摘 要: TI 公司新近推出的 TMS320C28x 系列 32 位定点 DSP 芯片具有丰富的系统资源。文中介绍了片内各部分配置及其特点; 时钟控制灵活, 提供了多种低功耗模式以供选择; 多达 56 个通用 I/O 引脚均可复用, 功能丰富; 独特的寄存器保护模式确保程序运行稳定; PIE 中断扩展控制器则大大增强了芯片的中断处理能力。

关键词: 寄存器; 中断; 数字信号处理器

中图分类号: TN911.72 **文献标识码:** A **文章编号:** CN32-1289(2005)03-0071-05

System Control and Interrupts of TMS320C28x DSP

YANG Xia¹, ZHAO Han-wu¹, ZHANG Xiong-wei²

(1. Postgraduate Team 1 ICE, PLAUST, Nanjing 210007, China;

2. Department of Electronic Information Engineering ICE, PLAUST)

Abstract: The TMS320C28x 32-bit fixed-point digital signal processors, released recently by Texas Instruments Incorporated, have abundant system resources. The features of each part of the chip were introduced in this paper, clocking control is more flexible, several low-power modes exist for choice, up to 56 GPIO pins can be multiplexed, unique register protection mode ensures software running, and PIE controller greatly improves the capability of handling the peripheral interrupts.

Key words: register; interrupt; DSP

TMS320C28x(以下简称 C28x)系列 DSP 芯片具有丰富的片内外设^[1], 包括时钟电路、通用 I/O 引脚(GPIO)和外设中断扩展控制器(PIE)等。其中, C28x 特有的 PIE 使 C28x 可以处理多达 96 个中断, 增强了芯片的中断处理能力。本文介绍了 C28x 系列 DSP 芯片片内外设的功能、寄存器设置、片内外设寄存器的保护模式以及中断控制方式等^[2]。

1 时钟电路

1.1 OSC 及 PLL 模块

DSP 内部的 PLL 模块提供了设备内部所有模块工作的基本时钟。C28x DSP 的工作频率可达 150

MHz,为了降低片外干扰,一般选用频率较低的外接晶体或时钟源,所以必须要用内部的PLL锁相环倍频电路将内部工作频率提高到所需频率。

表 1 PLL 模式及工作时钟

PLL 模式	进入模式条件	CPU 工作时钟 SYSCLKOUT
禁用	复位后检测 XF_XPLLDIS 引脚,若为低,则 PLL 模块禁用;禁用模式下,无法使用 HALT 或 STANDBY 模式	$\text{SYSCLKOUT} = \text{XCLKIN}$
旁路	DSP 上电复位后的默认 PLL 工作方式, $\text{DIV} = 0$	$\text{SYSCLKOUT} = \text{XCLKIN} / 2$
使能	设置 $\text{DIV} = 1 \sim 10$	$\text{SYSCLKOUT} = \text{XCLKIN} * \text{DIV} / 2$

表 1 给出了不同 PLL 模式下的 CPU 工作时钟 SYSCLKOUT。其中, XCLKIN 是外接晶体或外部时钟源的固有频率,该时钟信号通过 PLL 模块可以产生数倍于 XCLKIN 的 CPU 工作时钟 SYSCLKOUT。在 PLL 使能模式下,配置 PLL 控制寄存器 PLLCR 的低 4 位值,即可得到倍频系数 DIV 值,此时的 CPU 工作频率 SYSCLKOUT 为 XCLKIN 与 DIV 乘积的一半。

1.2 外设时钟源及控制

经过 PLL 倍频电路后的时钟 SYSCLKOUT 构成了 DSP 工作的基本时钟源,但并非所有外设都工作在该频率。DSP 内部还有两个分频模块,以产生另外两个外围设备工作时钟 LSPCLK (Low Speed Peripheral Clock) 和 HSPCLK (High Speed Peripheral Clock);工作在 LSPCLK 时钟下的外设包括 McBSP、SCI、SPI 等串口,工作在 HSPCLK 时钟下的外设包括事件管理器 EV。分别设置预定标寄存器 LOSPCP 和 HISPCP 的 LSPCLK 值和 HSPCLK 值,就可以得到这两个时钟的工作频率。LOSPCP 和 HISPCP 的取值范围是 0~7;当 LOSPCP 和 HISPCP 为 0 时,相应的时钟频率等于 SYSCLKOUT;当 LOSPCP 和 HISPCP 取值在 1~7 之间时,相应的 LSPCLK 和 HSPCLK 频率计算公式如下:

$$\text{LSPCLK} = \text{SYSCLKOUT} / (\text{LOSPCP} * 2)$$

$$\text{HSPCLK} = \text{SYSCLKOUT} / (\text{HISPCP} * 2)$$

另外,还可以通过操作外设时钟控制寄存器 PCLKCR 的相应比特位分别使能或关闭各个外设的时钟,从而减小 DSP 工作时的耗电量。外设时钟控制寄存器 PCLKCR 记录了各个外设(如 McBSP、SCI-A、SCI-B、SPI、ADC、eCAN、EV-A、EV-B)的相应时钟状态。如果程序中不需要用到某些外设,则可以关掉其时钟电路以节省功耗。

1.3 低功耗模式

除了可以通过关闭不必要的外设时钟以降低芯片功耗外,C28x 芯片还提供了低功耗模式以进一步降低系统工作时的功耗。C28x 系列 DSP 的低功耗模式与 240x 系列 DSP 相类似。设定低功耗控制寄存器 LPMCR0 的低两位(LPM 值)后执行 IDLE 指令,即可进入到 LPM 值所指定的低功耗模式下。表 2 列出了各种模式下的特征。

表 2 C28x 系列 DSP 的低功耗模式及特征

模式	IDLES	LPM 值 LPMCR0(1:0)	OSCCLK	CLKIN (等于 SYSCLKOUT)	SYSCLKOUT
正常(Normal)	低	x,x	正常	正常	正常
空闲(IDLE)	高	0,0(复位值)	正常	正常	正常
待机(STANDBY)	高	0,1	正常	关闭	关闭
暂停(HALT)	高	1,x	关闭	关闭	关闭

各种低功耗模式的退出方式如下。

(1) 空闲模式。任何被使能的中断或者一个不可屏蔽中断都可以使 CPU 退出该模式。注意在这种低功耗模式下,C28x 的 SYSCLKOUT 仍然工作,而 240x 系列 DSP 的 SYSCLKOUT 则是关闭的。

(2) 待机模式。只有在 LPMCR1 寄存器中指定的信号才可以将 CPU 从此模式下唤醒。LPMCR1 寄存器给出了 16 个可选信号以用于唤醒待机模式,如 CANRX、SCIRXA、XNMI 等。

(3) 暂停模式。只有 XRS 和 XNMI 外部信号才可以将 CPU 从暂停模式下唤醒。但只有外部中断控制寄存器 XNMICR 的最低位为 1 时, XNMI 信号才能将 CPU 从暂停模式下唤醒。在暂停模式下, 所有时钟都被关闭, PLL 模块和看门狗模块也被关闭。

2 通用 I/O 引脚(GPIO)

C28x 提供了多达 56 个可以独立编程控制的通用 I/O 引脚。GPIO 引脚都有两个功能: 通用 I/O 或者外设接口。外设接口包括串口 McBSP、SCI、SPI、eCAN 以及事件管理等。通过 GPIO 复用寄存器来配置引脚的状态。如果选择作为数字 I/O 口, 配置相应的复用寄存器可以定义引脚的各种特性。

每个 GPIO 引脚都可通过设置相关寄存器的某些位来配置其属性, 例如: ① GPxMUX. bit: 为 0 时配置为 I/O 引脚, 为 1 时配置为外设接口。复位后默认为 I/O 引脚。② GPxDIR. bit: 为 0 时配置为输入脚, 为 1 时配置为输出脚。复位后的状态是输入脚。③ GPxDAT. bit: 只对输出脚使用。为 0 时输出 0, 为 1 时输出 1。可读写。④ GPxSET. bit: 只对输出使用。为 1 时将输出脚置 1, 写 0 无效。只可写。⑤ GPxCLEAR. bit: 只对输出脚使用。为 0 时将输出脚清 0, 写 1 无效。只可写。⑥ GPxTOGGLE. bit: 只对输出脚使用。为 1 时将相应引脚输出状态取反, 写 0 无效。只可写。

限于篇幅, 这里以 F 区 GPIO 脚为例说明 GPIO 引脚的一般配置方法。F 区复用寄存器地址为 0x000070D4, 程序中用 GPFMUX 代替, 其 6、7 位为 CAN 总线与 GPIO 复用。如果在设计中要使用到 CAN 总线, 则必须使能外设接口:

```
GPFMUX. 6=1;    //配置为外设接口
```

```
GPFMUX. 7=1;
```

相反, 如果想要复用 CAN 总线接口为通用 I/O 引脚, 则需要禁用 CAN 模块, 并设置寄存器:

```
GPFMUX. 6=0;    //配置为 GPIO, 必须禁用 CAN 口
```

```
GPFMUX. 7=0;
```

下列语句可以配置 GPIO 的输入输出状态:

```
GPFDIR. 6=0;    //配置 CANTX 脚为通用输入脚
```

```
GPFDIR. 7=1;    //配置 CANRX 脚为通用输出脚
```

另外, 引脚数据的状态可以运用其它几个寄存器来操作, 从而达到输入输出相应数据的目的。通过运用这些 GPIO 引脚, 开发者可以为 DSP 应用系统添加丰富的外围设备, 从而提高芯片开发的方便性和灵活性。

3 外设寄存器保护模式

为了保护外设寄存器中的数据, C28x 系列 DSP 芯片拥有两种针对这些寄存器的保护机制, 即 EALLOW 保护模式和写—读保护模式。

3.1 EALLOW 保护模式

EALLOW 保护模式可以防止不适当的 CPU 写操作造成寄存器数据丢失。表 3 列出该模式的功能。

此模式受 ST1 寄存器的 EALLOW 比特位控制。此比特位清 0, 启动 EALLOW 保护。EALLOW 指令可使此比特位置 1, EDIS 指令使此比特位清 0。

受 EALLOW 模式保护的寄存器有: 芯片仿真寄存器、FLASH 寄存器、CSM 寄存器、PIE 中断向量表、系统控制寄存器、GPIO 复用寄存器、eCAN 寄存器。

表 3 EALLOW 模式功能表

EALLOW 比特位	CPU 写	CPU 读	JTAG 写	JTAG 读
0	禁止	允许	允许	允许
1	允许	允许	允许	允许

3.2 写—读保护模式

写—读保护模式可以保证对受保护区域先写后读的顺序。举例说明。

```
MOV @REG1,AL
```

```
TBIT @REG2,#BIT_X
```

上面两条指令,按照正常的流水线模式,会先读 REG 2 再写 REG 1,这与程序本意不符,一旦启动写—读保护模式,则强行将读操作延迟 3 个流水线阶段,以保证先写 REG 1 后读 REG 2。

将 DEVICECNF 寄存器的 ENPROT 位置 1,可以启动写—读保护模式。该模式的保护范围可由 PROTSTART 寄存器(保护区间的起始地址)和 PROTEND 寄存器(保护区间大小)来设置。默认情况下,受保护范围是数据存储空间的 0x0000 4000 到 0x0000 8000 区间。

4 中断

4.1 中断概述

中断是指使 CPU 暂停执行当前程序而转去执行中断子程序(ISR)的过程^[3]。C28x 系列 DSP 中断可由硬件(中断引脚、外部设备、片内外设)或软件(INTR、OR IFR 指令或 TRAP 指令)触发。如果在同一时刻有多个中断触发,CPU 会按照设置的中断优先级依次响应中断。

中断分为两类:① 可屏蔽中断(可通过软件禁止);② 不可屏蔽中断(不能被软件禁止)。

CPU 一般通过以下四个步骤处理中断:① 检测到中断请求信号;② 允许中断:对于可屏蔽中断来说需要满足一定的条件,对于不可屏蔽中断则立即响应;③ 保护现场(自动将寄存器 ST0, T, AL, AH, PL, PH, AR0, AR1, DP, ST1, DBGSTAT, PC, IER 压栈保存),读取中断向量并将它赋给程序指针 PC。④ 转入执行中断服务子程序(ISR)。

C28x 具有包括复位中断向量在内的 32 个中断向量,它们构成了 CPU 中断向量表。每个中断向量对应于中断服务子程序 ISR 入口的 22 位地址。当多个中断同时发生时,CPU 会按照中断优先级来处理中断,优先级高的先响应,优先级低的后响应。

4.2 中断分类

4.2.1 可屏蔽中断

C28x CPU 的可屏蔽中断包括 INT1~INT14、DLOGINT 和 RTOSINT。其中,INT1~INT14 是普通 GPIO 中断,DLOGINT 和 RTOSINT 中断只在实时仿真时使用。可屏蔽中断由控制寄存器来控制。① 中断标志寄存器(IFR):每个比特位对应一个可屏蔽中断。IFR 位为 1 表明有中断等待处理。② 中断使能寄存器(IER):每个比特位对应一个可屏蔽中断。IER 位为 1 表明相应的中断打开。③ CPU 调试中断使能寄存器(DBGIER):功能与 IER 相同,仅用于实时仿真模式。④ 全局中断使能位 INTM:ST1 寄存器的第 1 个比特。当它为 0 时,全局中断使能开。在实时仿真模式中,INTM 被忽略。

4.2.2 不可屏蔽的中断

当 C28x 检测到不可屏蔽中断时,会立即转入相应的中断服务子程序。不可屏蔽中断包括:① 所有软件中断(INTR、TRAP 指令):执行 INTR 中断指令时,相应的 IER 位会自动清 0,而 TRAP 指令不对 IFR 或 IER 产生影响。② 硬件中断 NMI:由 NMI 输入管脚的低电平触发。③ 非法指令中断(Illegal-instruction trap):遇到非法的指令操作时触发此中断。④ 硬件复位中断(RS):当输入信号 RS 触发此中断时,CPU 寄存器被复位到初始值,然后转入执行相应的复位中断子程序。

4.3 外设中断扩展控制器 PIE

C28x 系列芯片拥有丰富的片内外设,每个外设根据不同的事件可以产生一个或多个中断请求。而在

CPU 层次上,最多可以处理 32 个中断,因此,如果有更多的中断触发事件,仅依靠 CPU 已无法处理。C28x 通过外设中断扩展控制器(PIE)增加了可用的中断数目,增强了芯片的中断处理能力。C28x 系列 DSP 芯片的 PIE 可以处理多达 96 个中断。将 PIECTRL 寄存器的 0 比特位置 1,可以启用 PIE 模块。

4.3.1 PIE 中断扩展的原理

PIE 扩展出的 96 个中断分为 12 组,分别对应 CPU 中断 INT1 到 INT12。每组 8 个中断复用成一个 CPU 中断 INT_x。复用过程主要由三个层次的使能来实现。

(1) 外设层次。当外设中断事件发生时,寄存器中相应的中断标志位(IF)置 1。如果相应的中断使能标志位(IE)是置 1 的,则此外设向 PIE 产生一个中断请求信号;若 IE 为 0,则保持 IF 不变,等到 IE 置 1 时,外设再向 PIE 产生中断请求信号。

(2) PIE 层次。96 个中断被分为 12 组,对应 12 个中断标志寄存器(PIEIFR_x)和 12 个中断使能寄存器(PIEIER_x)。每组 8 个中断,都有对应的中断标志位 PIEIFR_{x.y} 和中断使能位 PIEIER_{x.y}。每个 PIE 中断组都有一个中断接收信号 PIEACK_x,当外设向 PIE 发出中断请求信号,相应的 PIEIFR_{x.y} 被置 1,如果 PIEIER_{x.y} 也是 1,则 PIE 会检测相应的 PIEACK_x,如果 PIEACK_x 是 0,则 PIE 向 CPU 发出中断请求 INT_x,如果是 1,则 PIE 等到它清零后再向 CPU 发出中断请求。如果同一 PIE 中断组中同时有多个中断发生,则 PIE 按照组内中断优先级来处理。

(3) CPU 层次。当 PIE 将中断请求送给 CPU 后,CPU 中相应 INT_x 的标志位 IFR 被置 1,但这个中断要等到满足相应的使能条件才能被 CPU 响应。

综上,PIE 扩展中断数目,其最根本的原理就是增加了 PIE 一级的中断使能和优先级判断。CPU 决定 INT1 到 INT12 的中断优先级,PIE 决定 12 组中断中,每组 8 个中断的优先级。

4.3.2 PIE 中断向量表及中断向量表的映射选择

DSP 芯片运行时,扩展后的 PEI 中断向量表必须存储在 PIE RAM 中。PIE RAM 是 SARAM 中一个特殊的 256×16 的存储块,它的起始地址是数据存储空间的 0x000D00。

C28x 系列 DSP 芯片有 5 个可用的中断向量表,到底使用哪个取决于中断向量表映射模式的选择。控制中断向量表映射的比特位有:VMAP(状态寄存器 ST1 的第 4 个比特位)、M0M1MAP(ST1 的第 12 个比特位)、MP/MC(XINTCNF2 寄存器的第 9 个比特位)、ENPIE(PIECTRL 寄存器的第 1 个比特位)。它们对模式选择的影响如表 4 所示。

对于 C28x 的芯片,M0、M1 模式是保留不用的模式,BROM 模式只在测试时才用到,实际应用中都使用 PIE 映射模式(UMAP=1 且 ENPIE=1)。

表 4 中断向量表映射模式

向量表映射模式	所在存储器	地 址	VMAP	M0M1MAP	MP/MC	ENPIE
M1 模式	M1 SARAM	0x000000-0x00003F	0	0	X	X
M0 模式	M0 SARAM	0x000000-0x00003F	0	1	X	X
BROM 模式	ROM	0x3FFFC0-0x3FFFFFFF	1	X	0	0
XINTF 模式	扩展寄存器	0x3FFFC0-0x3FFFFFFF	1	X	1	0
PIE 模式	PIE RAM	0x000D00-0x000DFF	1	X	X	1

本文简要介绍了 C28x 系列 DSP 芯片的片内外设资源,重点对 C28x 特有的外设中断扩展控制器进行了介绍。丰富的片内外设资源,增强的中断处理能力,使得该系列 DSP 芯片在多种场合得到灵活应用。

参考文献:

- [1] Texas Instruments. TMS320F281x/TMS320C281x digital signal processors data manual[EB/OL]. <http://www.ti.com>,2004-12-11.
- [2] Texas Instruments. TMS320F28x DSP system control and interrupts reference guide[EB/OL]. <http://www.ti.com>, 2004-12-15.
- [3] 张雄伟,陈 亮,徐光辉.DSP 芯片的原理及开发应用[M].第 3 版.北京:电子工业出版社,2003.