

CMOS 图像传感器中可编程增益放大器的设计

桑红石¹, 刘晓磊¹, 刘丽艳²

(1. 华中科技大学 图像识别与人工智能研究所 多谱信息处理技术国家级重点实验室, 武汉 430074;

2. 北京微电子技术研究所, 北京 100076)

摘 要: 设计了一个低功耗宽摆幅全差分开关电容可编程增益放大器(PGA)。该放大器可实现近似 1 dB 步进, 0~15 dB 增益变化范围, 可用于 CMOS 图像传感器。提出了一种可调补偿电容的运算跨导放大器(OTA), 通过补偿电容调节 OTA 带宽, 大大降低了 PGA 的功耗。采用 TSMC 3.3 V 0.18 μm 工艺, 在 20 MSPS 采样率下, 使用 Hspice 仿真。结果显示, 电路功耗仅为 7 mW, 输出摆幅为轨至轨, 精度为 12 位。

关键词: 可编程增益放大器; 运算跨导放大器; 开关电容; 图像传感器

中图分类号: TN432; TN721.1

文献标识码: A

文章编号: 1004-3365(2010)04-0477-04

Design of a Programmable Gain Amplifier for CMOS Image Sensor

SANG Hongshi¹, LIU Xiaolei¹, LIU Liyan²

(1. National Key Lab of Sci. & Technol. on Multi-Spectral Information Processing, Inst. for Pattern Recognition & Artificial Intelligence, Huazhong Univ. of Sci. & Technol., Wuhan 430074, P. R. China; 2. Beijing Microelec. Technol. Inst., Beijing 100076, P. R. China)

Abstract: A low power high swing fully differential switched-capacitor programmable gain amplifier (PGA) was designed to process a fully differential input signal from CMOS image sensor (CIS) interface. The PGA had a dynamic range of 16 dB with roughly 1 dB step and 12-bit resolution. An operational transconductance amplifier (OTA) with variable compensation capacitor to adjust its bandwidth was proposed, which greatly reduced PGA power. The PGA was designed and simulated in TSMC's 0.18 μm mixed-signal CMOS process with 3.3 V supply. Hspice simulation showed that the circuit had a rail-to-rail output swing and it dissipated 7 mW of power at 3.3 V and 20 MSPS

Key words: PGA; OTA; Switched-capacitor; Image sensor

EEACC: 1220

1 引言

近年来, CMOS 图像传感器 (CMOS Image Sensor: CIS) 以其高集成度、低功耗等优点而被广泛采用^[1]。CIS 中, 模拟前端一般为 CDS-PGA-ADC 结构^[2], 其中, PGA 以一个需要的增益来放大 CDS 的输出, 可扩展 CIS 的动态范围。随着 CIS 动态范围的增大和读出速率的提高, 对 PGA 的速度、放大精度、增益变化范围等特性的要求也越来越高。目前, CIS 中 PGA 的速率在 20 MSPS, 精度高于 12

位。在如此高的速度和精度下, PGA 的线性度 (linear-in-dB) 较低, 给后续数字电路的处理带来麻烦, 且 PGA 功耗太大, 不适于便携式应用。为了解决这两个问题, 提出了多种新的 PGA 设计方法^[2,3]。文献[2]用许多不同尺寸的电容组成采样电容 (C_s) 阵列, 使 PGA 增益呈 dB 线性变化。但是, 当 PGA 增益较小时, C_s 较小, kT/C 噪声较大; 当 PGA 增益较大时, C_s 很大, 又降低了采样速度。另外, 其电路版图设计复杂, 不易做到很高的精度。文献[2]中, PGA 精度仅为 10 位。文献[3]减小了电容匹配对 PGA 精度的影响, 但是, 增大 PGA 增益时, 其建立

时间也随之增大。为了满足 PGA 建立时间的要求,文献[3]中采用的运放带宽很高,所需功耗太大。

本文设计的 PGA 采用分段组合电容结构和可调电容 OTA 解决上述两个问题,运放采用可调补偿电容的两级 OTA。通过分段组合电容,实现指数函数的一阶近似,提高 PGA 的线性度^[4]。此外,通过调节 OTA 的可调电容来调节其带宽,从而降低 PGA 功耗。

文章第 2 节介绍系统结构及电路实现,第 3 节对设计的 PGA 进行仿真验证和结果分析,第 4 节给出结论。

2 系统结构及电路实现

2.1 PGA 系统架构

本文设计的 PGA 工作在 20 MSPS,具有 12 位精度,通过同时改变其采样电容和反馈电容,实现以 1 dB 步进的 0~15 dB 增益变化,其系统框图如图 1 所示。

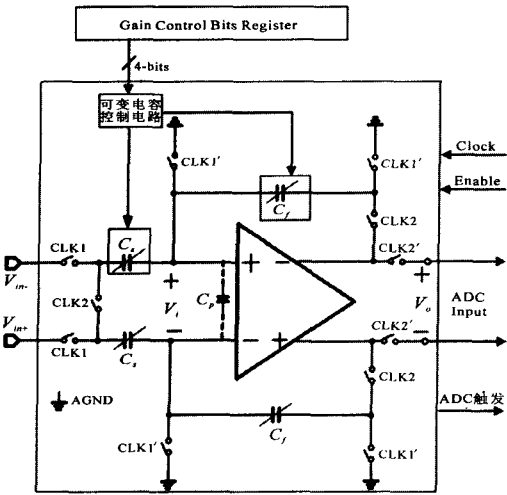


图 1 本文可编程增益放大器系统结构
Fig. 1 Topology of the proposed programmable gain amplifier

在采样相,CLK1、CLK1' 闭合,CLK2、CLK2' 断开,信号被采样到 C_s 上;在放大相,CLK2、CLK2' 闭合,CLK1、CLK1' 断开, C_s 两端都接地,存储在 C_s 的电荷传送到 C_f 上,从而实现放大,增益为: $G = C_s / C_f$ 。为了抑制电荷共享,在放大阶段,CLK1' 先于 CLK1 断开,而 CLK2 先于 CLK2' 闭合。

2.2 分段组合电容阵列

电容 C_s 和 C_f 的分段组合方式如表 1 所示。因为 PGA 精度为 12 位,考虑电容的工艺误差,取 C_x

$= 25 \text{ fF}$,根据增益和电容表达式,容易算出 $C_{s0} = 537.2 \text{ fF}$, $C_{f0} = 162.2 \text{ fF}$ 。

2.3 PGA 中运算放大器的设计

当前设计的 OTA 多采用折叠结构^[2],或增益自举结构^[3](gain-boosting)。折叠结构的增益不够高($\sim 70 \text{ dB}$)^[5],而增益自举结构由于存在辅助运放,频率补偿困难^[6]。另外,这两种结构还有一个共同的缺点:输出摆幅小,这会降低 CIS 的成像质量。文献[7]中,OTA 为 AB 类套筒式(Class-AB telescopic cascode),输出摆幅更小。

表 1 电容分段连接方法

增益控制位 (GCB)	采样电容 (C_s)	反馈电容 (C_f)	增益 (G)
0000	C_{s0}	$C_{f0} + 15C_x$	0 dB
0001	$C_{s0} + C_x$	$C_{f0} + 14C_x$	0.81 dB
...	...	...	...
1110	$C_{s0} + 14C_x$	$C_{f0} + C_x$	13.51 dB
1111	$C_{s0} + 15C_x$	C_{f0}	15.00 dB

本文采用可变补偿电容的 OTA,PGA 的输出摆幅可至轨,同时,大大降低了 PGA 的功耗。OTA 电路如图 2 所示,采用 Cascode 补偿,以提高 OTA 的 PSRR。为了更好地驱动补偿电容 C_c ,设计中应适当增大 M5、M6 的跨导。为获得精确平衡的输出共模电平,采用文献[8]的共模反馈来稳定输出共模电压。

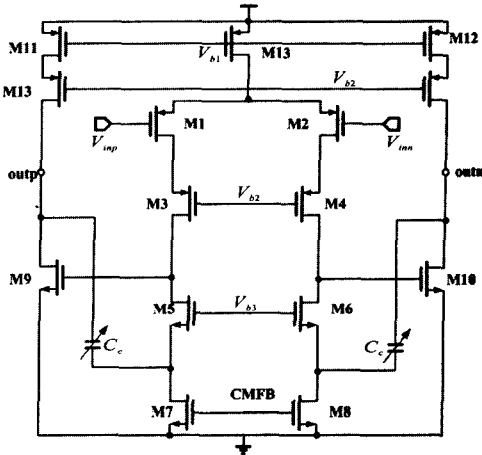


图 2 可调采样电容的两级 OTA
Fig. 2 Two-stage OTA with variable sampling capacitor

根据 PGA 的精度和速度,可以计算出运放的设计指标^[9]。PGA 最小的反馈系数为: $\beta = 1/7.24$,要达到 12 位精度要求,OTA 增益 A_v 应大于 95

dB。要达到 20 MSPS 的速度,设两相不交叠时钟的不交叠时间为 3 ns,PGA 应在 23.5 ns 内建立:

$$t_S = t_{\text{dew}} + t_{\text{settle}} = 23.5 \text{ ns} \quad (1)$$

$$t_{\text{dew}} = \frac{V_{o \text{ step}} - \frac{V_{\text{dsat}1,2}}{\beta}}{\text{SR}} = \frac{V_{o \text{ step}} - \frac{V_{\text{dsat}1,2}}{\beta}}{\text{GB} \cdot V_{\text{dsat}1,2}} \quad (2)$$

$$t_{\text{settle}} = - \frac{\ln\left(\frac{\epsilon \cdot \beta \cdot V_{o \text{ step}}}{V_{\text{dsat}1,2}}\right)}{\text{GB} \cdot \beta} \quad (3)$$

式中, $V_{o \text{ step}}$ 为运放的输出摆幅,可先设为 2.8 V。 $V_{\text{dsat}1,2}$ 为输入对管的过驱动电压,设计之初,将其设为 200 mV。 $\beta = C_f / (C_f + C_s + C_p)$ 。若忽略 C_p , 设 PGA 的增益为 G , OTA 带宽为 GB , 则 PGA 建立时间、PGA 增益、OTA 带宽之间的关系为:

$$t_S = \frac{13 - G - (1 + G) \cdot \ln\left(\frac{7}{2000(1 + G)}\right)}{2\pi \cdot \text{GB}} \quad (4)$$

2.4 功耗分析

基本上,OTA 的功耗代表 PGA 的功耗,与其带宽成正比。图 3 是当建立时间为 23.5 ns 时 PGA 增益与 OTA 带宽的关系示意图。在以往的设计中,OTA 的带宽固定,所以其带宽必须取最大值,才能使 PGA 在所有增益下都满足建立时间的要求,因此导致 OTA 的功耗较高^[2,3,7]。本设计中,OTA 的带宽随 PGA 增益变化,所以 OTA 功耗较低。

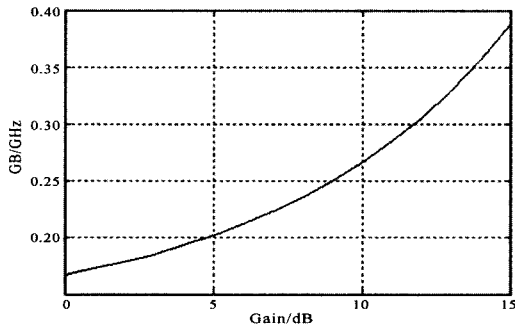


图 3 OTA 带宽随 PGA 增益的变化 ($t_S = 23.5 \text{ ns}$)

Fig. 3 Bandwidth of the OTA vs. gain of PGA ($t_S = 23.5 \text{ ns}$)

3 仿真验证及结果分析

在 TSMC 3.3 V 0.18 μm 工艺下,采用 Hspice,对设计的电路进行前仿真。对 1 pF 的负载,在 C_c 为 400 fF 和 800 fF 时,运放 AC 仿真分别如图 4(a)、(b)所示,增益达到 103 dB,满足 PGA 精度要求。根据图 3,当 $G = 0 \text{ dB}$ 时,要求 OTA 的

$\text{GB} = 169 \text{ MHz}$, 取 $C_c = 800 \text{ fF}$, 则 $\text{GB} = 349 \text{ MHz}$, 相位裕度为 81.0° ; 当 $G = 15 \text{ dB}$ 时,要求 $\text{GB} = 420 \text{ MHz}$, 取 $C_c = 400 \text{ fF}$, 得 $\text{GB} = 552 \text{ MHz}$ 。虽然开环的相位裕度降为 38.6° , 但是,因为反馈系数很小,PGA 的稳定性仍能保证。

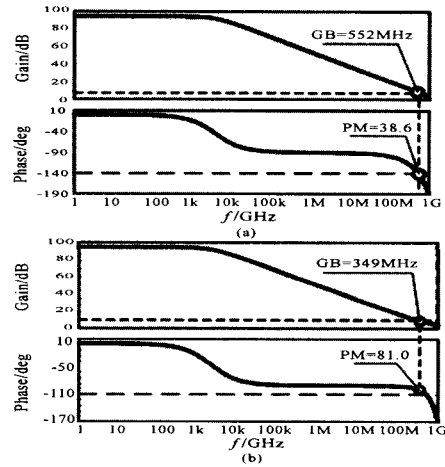


图 4 采样电容为 400 fF 和 800 fF 时运放的 AC 特性

Fig. 4 AC characteristics of the operational amplifier for $C_c = 400 \text{ fF}$ and 800 fF

瞬态仿真显示: $G = 15 \text{ dB}$, 输入信号 $\text{INN} = 1.45 \text{ V}$, $\text{INP} = 1.85 \text{ V}$, PGA 建立时间为 20.5 ns。 $G = 0$, 输入信号 $\text{INN} = 1 \text{ V}$, $\text{INP} = 2.3 \text{ V}$, PGA 建立时间为 18.1 ns。对于所有的 PGA 增益,建立时间均在 20.5 ns 以下,误差小于 0.025 %。其中,增益在 0~4 dB 范围内, C_c 取 800 fF; 在 5~9 dB 范围内, C_c 取 700 fF; 在 10~14 dB 范围内, C_c 取 500 fF; 增益为 15 dB 时, C_c 取 400 fF。图 5 所示为 PGA 增益随控制信号变化的仿真曲线。实心方块

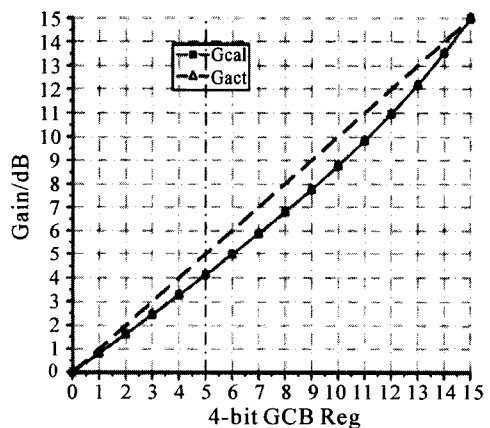


图 5 PGA 的增益控制特性

Fig. 5 Gain characteristics of the PGA

为计算的增益特性,空心三角为实际增益特性。由图可知,设计的 PGA 取得了很好的 dB 线性度。PGA 的增益计算值(G_{cal})与实际值(G_{act})相一致。

表 2 给出本文设计 PGA 及与其他设计的性能比较。OH T-H 等人的设计中包括 PGA 和 ADC,功耗共计 173 mW,其中,PGA 采用三级流水结构,CDS 也按一级 PGA 来算,ADC 耗去一半功耗,那

么,每级 PGA 功耗大约是 21.65 mW。FURUTA M 等人的设计中,PGA 采用五级流水结构,加上辅助电路,平均每级功耗为 17.14 mW。因为 OH T-H 和 FURUTA M 等人的设计都采用流水线结构,所以其动态范围很大。综上可知,本文设计的 PGA 功耗较低,在速度和精度上也有较好表现。图 6 为本文设计的 PGA 版图。

表 2 本文设计 PGA 与其他设计的性能比较
Table 2 Comparison of the proposed PGA with published PGA and CDS+PGA+ADC

性能	本文 PGA	CDS+PGA+ADC ^[2]	PGA ^[3]	PGA ^[7]
工艺	0.18 μm CMOS	0.5 μm CMOS	0.25 μm CMOS	0.6 μm CMOS
电源电压	3.3 V	3 V	2.5 V	3.3 V
采样率	20 MSPS	25 MSPS	10 MSPS	20 MSPS
动态范围	0~15 dB(1 dB)	0~32 dB(1/8 dB)	0~12 dB(3/4 dB)	-6~30 dB(1/2 dB)
精度	12 位	10 位	—	9 位
总功耗	7 mW	173 mW	12 mW	120 mW (5 级 PGA)

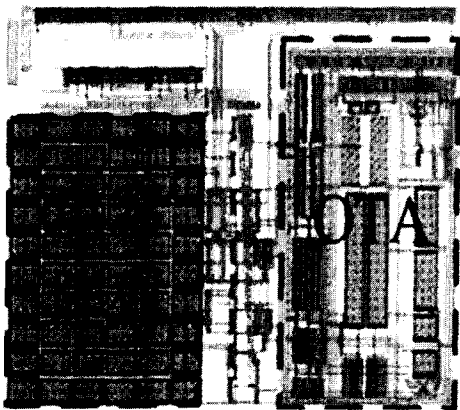


图 6 PGA 版图照片

Fig. 6 Layout photograph of the proposed PGA

4 结 论

设计了一个可用于 CMOS 图像传感器的全差分开关电容可编程增益放大器(PGA)。该 PGA 精度为 12 位,增益变化范围为 0~15 dB,并具有较高的线性度。采用本文提出的可调补偿电容 OTA,可大大降低 PGA 的功耗。在 20 MSPS 采样率、3.3 V 电源电压下,该 PGA 的功耗仅为 7 mW,同时,输出摆幅达到轨至轨。

参 考 文 献:

[1] FOSSUM E R. CMOS image sensors: electronic camera-on-a-chip [J]. IEEE Trans Elec Dev, 1997, 44 (10): 1689-1698.
[2] OH T-H, LEE S-H. Single-chip CMOS CCD camera interface based on digitally controlled capacitor-seg-

ment combination [J]. IEEE Trans Circ Syst II, 2000, 47(11): 1338-1343.
[3] WANG J, MATSUOKA T, TANIGUCHI K. A switched-capacitor programmable gain amplifier using dynamic element matching [J]. IEEE Trans Electric and Electron Engineer, 2007, 2(10): 600-607.
[4] HARJANI R. A low-power CMOS VGA for 50 Mb/s disk drive read channels [J]. IEEE Trans Circ Syst II, 1995, 42(6): 370-376.
[5] 李建中, 汤小虎, 魏同立. 一种低电压 CMOS 折叠-共源共栅跨导放大器的设计 [J]. 微电子学, 2005, 35 (4): 412-415.
[6] 陈朝阳, 胡小波, 付生猛. 一种采用增益增强方法的 CMOS 全差分运算放大器 [J]. 微电子学, 2005, 35 (1): 81-84.
[7] FURUTA M, KAWAHITO S, OKADA H. Programmable gain amplifier with color balancing for CCD image sensor [J]. IEE Proc Circ Dev Syst, 2005, 152(3): 229-235.
[8] BANU M, KHOURY J M, TSIVIDIS Y. Fully differential operational amplifier with accurate output balancing [J]. IEEE J Sol Sta Circ, 1988, 23(6): 1410-1414.
[9] YANG H C, ALLSTOT D J. Considerations for fast settling operational amplifier [J]. IEEE Trans Circ Syst, 1990, 37(3): 326-334.

作者简介:

桑红石(1970—),女(汉族),副教授,河南洛阳人,主要研究方向为图像处理算法和集成电路设计。