

基于FPGA的高速线阵CCD图像采集系统

任慧建 殷兴辉

(河海大学计算机与信息学院 南京 211100)

摘要: 针对传统采集方式不灵活的特点设计了一种以FPGA为控制核心的高速图像采集系统。该系统选用线阵CCD作为图像信号采集芯片,采用FPGA产生与控制整个系统的时序,通过A/D对采集到的信号进行处理,最后通过以太网将信号传至上位机。此系统在图像数据的高速实时采集和处理上具有很大优势,且整体电路设计简单、直观、稳定、易修改,还具有设计灵活,传输速度快等特点。实验表明该系统可以有效地完成图像信号的采集,并且具备良好的稳定性与抗噪性。

关键词: FPGA;线阵CCD;相关双采样;以太网

中图分类号: TP274 **文献标识码:** A **国家标准学科分类代码:** 510.1050

High-speed linear CCD image acquisition system based on FPGA

Ren Huijian Yin Xinghui

(College of Computer and Information, Hohai university, Nanjing 211100, China)

Abstract: The traditional image acquisition mode is not flexible. So this paper describes the design of a high speed image acquisition system with FPGA as the control core. This system adopts the linear array CCD as the image signal acquisition chip and uses FPGA to generate and control the whole system. A/D processes are used as the signal which is transmitted to PC via Ethernet. This system has great advantages in image high-speed real-time data acquisition and processing, and the design is flexible and the transmission speed is fast. The experiments show that the system can effectively complete the image signal acquisition, and have good stability and anti-noise.

Keywords: FPGA;linear CCD;correlated double sampling;Ethernet

1 引言

CCD(charge coupled device)是一种可以把图像信息直接转换成电信号的光电转换图像传感器,在图像传感、景物识别以及非接触测量等领域都得到了广泛应用^[1]。而且它对于成像系统的小型化,轻量化,提高分辨率等方面起着至关重要的作用^[2]。CCD驱动电路的设计有很多方法,以往通常采用数字电路驱动法实现,该方法调试复杂,灵活性较差。随着大规模可编程逻辑器件的发展,FPGA驱动法成为了设计CCD驱动电路的研究热点^[3-4]。

提出了一种高速线阵CCD图像采集系统,采用FPGA和CCD芯片完成对图像有意义信息的采集,经过A/D转换器的处理,FIFO的缓存,最后通过以太网传到上位机显示。本系统将CCD驱动电路,信号处理电路,以太网传输电路集成在一块电路板上,实现了CCD图像采集的小型化、智能化与集成化。

2 整体设计思想

本系统采用TCD1209D作为光电传感器,选用主要为处理CCD信号而设计的一款A/D转换器AD9945对信号进行去噪与模数转换,选用Xilinx公司生产的XC3S500E这一款芯片为CCD以及A/D提供驱动时序,并利用FIFO模块为A/D转换的输出数据提供缓存,采用LAN83C185作为以太网物理层芯片。系统总体结构如图1所示。

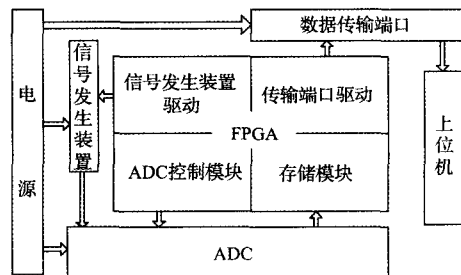


图1 系统总结结构

首先通过代码控制 FPGA 输出与 CCD 芯片时序要求相对应的驱动信号对 CCD 进行驱动, CCD 输出信号经过电容滤波后送入 AD9945 进行相关双采样与 A/D 转换, 之后将获得的数字信号放入 FPGA 的 FIFO 数据缓存器, 再经过以太网传至上位机。

3 CCD 图像采集系统模块设计

3.1 TCD1209D 采样模块设计

TCD1209D 的驱动时序如图 2 所示, 由图知, 完成芯片的驱动需要 5 路驱动脉冲, 分别为: 移位脉冲 φ_1 和 φ_2 , 转移脉冲 SH, 复位脉冲 RS, 钳位脉冲 CP^[5], 各路脉冲必须严格满足时序要求。每帧输出信号首先是 32 个哑元像素信号,

然后是 2 048 个正常像素信号, 随后又输出 8 个哑元像素信号, 其中包括一位测试位。CCD 的一个工作周期分为光积分阶段和电荷转移阶段, 在光积分阶段, SH 被置低, 产生的浅势阱会隔离存储势阱与移位脉冲势阱, 这样光电二极管产生的光电荷就存储在存储势阱中了, 同时无效电荷也被清空。当 SH 置高时, 移位脉冲势阱与光电二极管势阱连接, 转移栅开启, 光电二极管电荷通过转移栅转移到移位寄存器中, 这样就完成了一个周期^[6]。RS, CP 在此期间需保持低电平, 移位脉冲 φ_1 、 φ_2 需分别保持高低电平, 且 φ_1 需要比 SH 提前上升, 延后下降, φ_2 与 φ_1 保持完全反向, 这样有利于电荷的转移和可以有效防止电荷的回流。

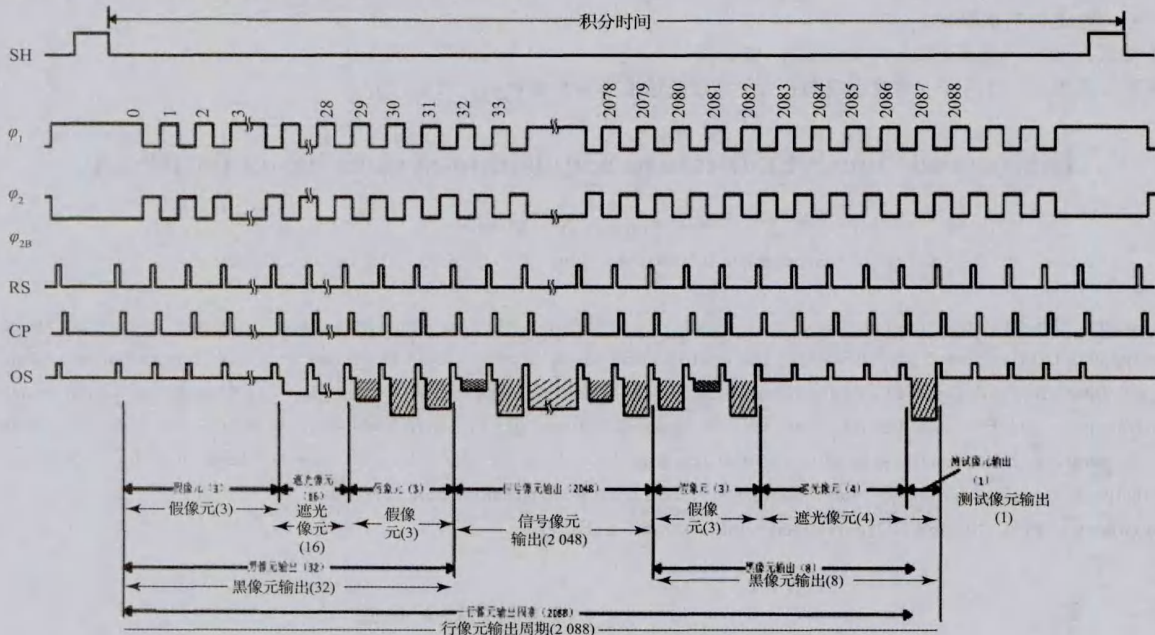


图 2 CCD 驱动时序

在分析完 CCD 的驱动时序之后, 采用 FPGA 为其提供时钟脉冲, 本系统首先选择在典型模式下进行工作, 此时复位脉冲 RS 频率为 1 MHz, 则一个脉冲周期为 1 000 ns, 此时 RS 脉宽为 100 ns, 所以, 复位脉冲 RS 和钳位脉冲 CP 的占空比就为 1:10, 移位脉冲 φ_1 、 φ_2 占空比为 1:1。需要注意的是, 在硬件设计过程中, 由于 FPGA 常规 I/O 口输出电压值为 3.3 V 无

法达到 CCD 功能引脚 5 V 的要求, 所以采用了飞利浦公司的 74HC04 这款逻辑芯片来提高 FPGA 输出信号的驱动与负载能力^[7], 但是由于 74HC04 内部反相器的作用, 输出信号电平会进行翻转, 所以在设计时需要在 FPGA 内生成驱动信号时预先将信号翻转, 这样才能达到时序要求, 根据以上分析, 利用 ISE 对驱动时序进行设计, 得到仿真图形如图 3 所示。

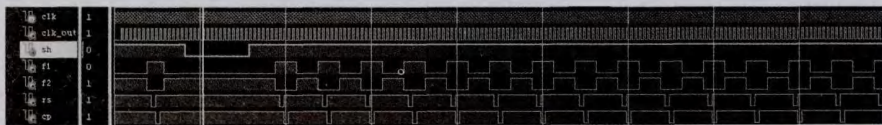


图 3 CCD 驱动时序仿真波形

如果对于最高的高速应用, 则需要对其相应进行调整, 在 RS 频率为 20 MHz 时, 一个脉冲周期为 50 ns, 根据芯片手册 RS 最小脉宽为 10 ns, 所以, 复位脉冲 RS 和钳位脉

冲 CP 的占空比就为 1:4, 移位脉冲占空比仍为 1:1, 只要在代码中稍作改动就可以达到要求, 使用 FPGA 来驱动 CCD 使这一切的工作都变的简单, 且灵活易用, 方便实验的进行。

3.2 CCD信号的去噪及数字化

CCD输出的是一种特殊的离散模拟信号,其中夹杂着各种噪声和干扰,所以为了获取高质量的图像,在进行A/D转换前要尽可能的消除噪声和干扰^[8]。对CCD图像进行去噪处理最有效的方法是相关双采样法。它利用2个采样保持脉冲分别对浮置栅电平和信号电平采样,再将2次采样的信号相减作为输出信号,由于2次采样的噪声是相关的,因此噪声被消除^[9]。

为了方便CCD信号的处理,一些公司推出了针对CCD信号的专用集成芯片,极大的简化了电路的设计。在此选择ADI公司生产的AD9945,它将直流恢复、相

关双采样、暗电平校正、可编程增益放大等功能以及模数转换集成到芯片内部,完成了CCD信号的处理并输出数字信号。

AD9945的采样驱动时序如图4所示,由图知,要完成对CDS的驱动需要3路时钟脉冲,分别为SHP、SHD以及DATACLK^[10],SHP与SHD分别在上升沿对参考电平与信号电平进行采样,然后对2路信号进行相减,去除其中的低频噪声,经过相减之后,在DATACLK的上升沿将信号送入A/D转换器进行模数转换,DATACLK的上升沿应位于SHP下降沿与SHD上升沿之间。

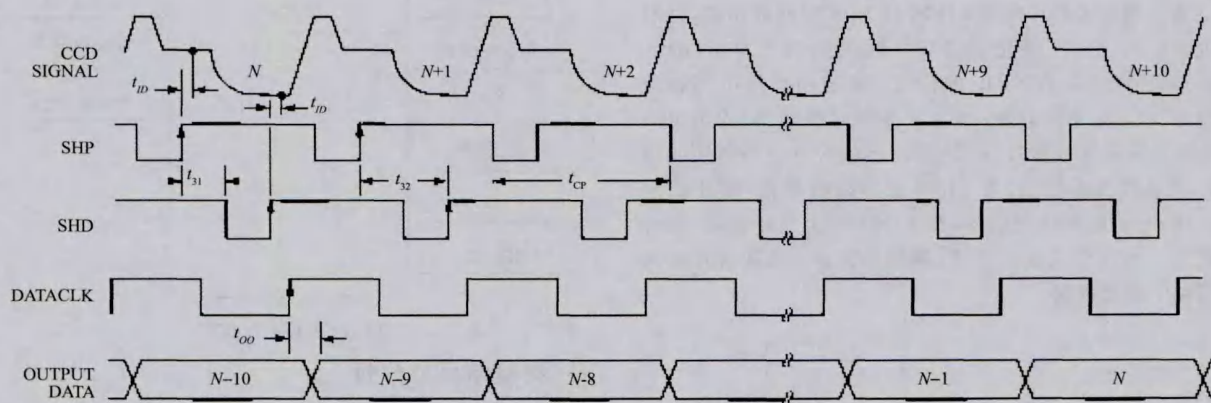


图4 AD9945采样驱动

除CDS之外,还需要对A/D的内部寄存器进行配置,由芯片手册可知,芯片有4个寄存器需要配置,分别为: Operation, Control, Clamp Level, VGA Gain^[10]。Operation与Control用来控制A/D的基本操作与功能,Clamp Level用来设置钳位电平,而VGA Gain则是控制信号的增益,增益范围为(6dB~40dB)。寄存器有3位地址位A0、A1、A2,12位数据位D0~D11,一个测试位A3。在SL的上升沿,将新数据写入,在SCK的上升沿将数据读取。配置时,

可以采用单次配置,也可以采用连续配置。连续配置时,在全部数据写入之前,需要SL始终保持低电平,写数据完毕后,给一个高电平来确认写进的数据。

在分析完A/D的驱动时序与配置之后,采用FPGA上集成的40MHz的晶振分频来产生各种脉冲波形,通过Verilog HDL来完成对于AD9945的驱动与寄存器配置的代码编写,编译通过以后,对整个时序进行仿真,AD9945驱动与寄存器配置仿真时序图如图5所示。



图5 AD9945驱动与寄存器配置仿真波形

3.3 FPGA的FIFO模块设计

线阵CCD将图像信息输送至ADC进行数模转换之后,由于CCD和ADC采集图像以及数模转换的速率极快,所以需要对数据进行暂存,采用高速FIFO缓存是较好的解决方案。

本系统通过ISE开发平台在FPGA内部实现一个12×2048bit的异步FIFO,与AD9945的并行数据输出位数一致,通过调试对比将FIFO深度设为2048,最多可以

缓存整帧的数据,保证FPGA内部资源够用的情况下使FIFO裕量充足。

异步FIFO的结构示意如图6所示,整个FIFO有2个不同的时钟域,读时钟域与写时钟域,数据存储介质为双口RAM,可以同时进行读写操作,写地址和读地址由FIFO内部的逻辑电路给出,外部电路只需给出读写时钟以及续写控制信号就能驱动FIFO正常工作。

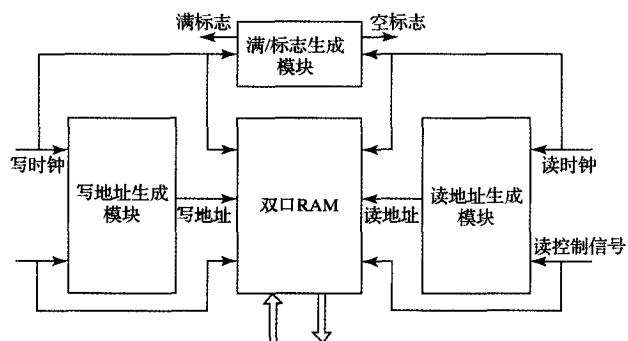


图 6 异步 FIFO 的结构示意

通过调用 ISE 中的 FIFO 的 IP 核来实现此功能,并对其进行实例化。实例化后,FIFO 模块如图 7 所示,data [11...0]接收来自 AD9945 的信号,Data_out[11...0]将信号输出,rd_clk 是读时钟;wr_clk 是写时钟,它们均为上升沿触发,clr 是复位信号;rd 是读使能信号;wr 是写使能信号;full 是堆栈满信号,当 FIFO 被写满时置高,禁止数据写入;empty 是堆栈空信号,当 FIFO 被读空时置高,允许数据写入。当写入数据停止,堆栈已满时,则可以开始从 FPGA 中读出数据。

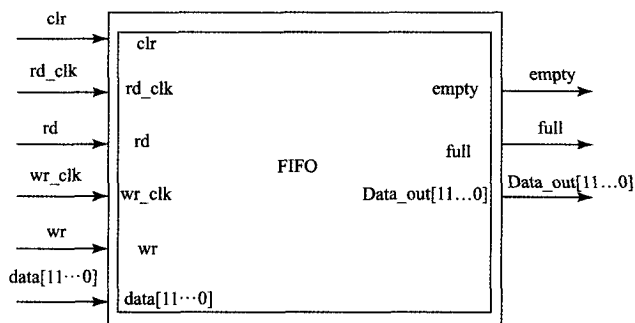


图 7 FIFO 模块

3.4 以太网通信模块设计

本系统通过以太网总线向上位机传输数据,以太网传输有很大的优越性,不但传输速度快,传输数据量大,而且可靠性很高,且支持远距离传输。采用 SMSC 公司的 LAN83C185 这款以太网物理层芯片。LAN83C185 包括有编码器/译码器,扰码器/解扰码器,带整形和输出驱动器的发送器,带片内自适应均衡器和基线漫游(BLW)修正的双绞线接收器,时钟和数据恢复电路以及媒体单独接口(MII)部分,集成了带自适应均衡器的 DSP,支持自动流通和平行检测。LAN83C185 支持 MII 接口,10 Mbps 和 100 Mbps 以太网络传输^[11]。

系统采用 UDP/IP 协议传输方式,UDP 是面向无连接的,协议简单,传输速度快,实时性高。图 8 是以太网 UDP 包的 RTL,IP 与 MAC 是本机地址,RXD 和 TXD 为 4 个

32 位数据,分别接收和发送 MAC 层的数据,MAC 层数据帧的传输方式。RX_DV 和 TX_EN 为使能信号。REC 是接收以太网的 UDP 包,SEND 是发送以太网的 UDP 包,他们都包含 64 个 32 为数据。

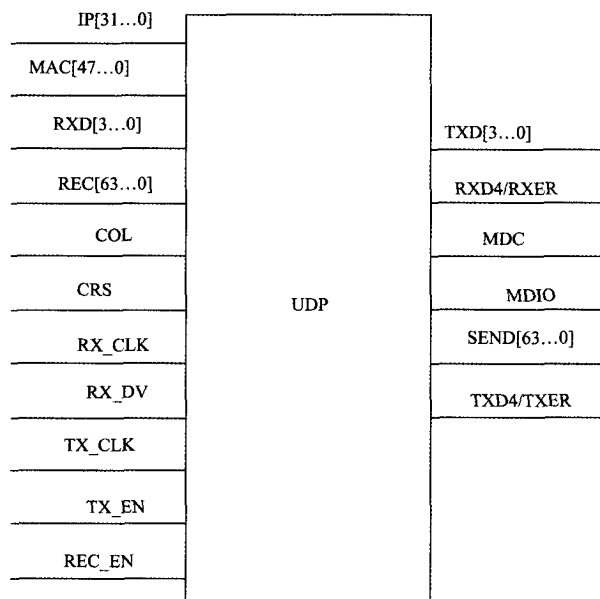


图 8 UDP 的 RTL

4 实验结果与分析

当 RS 为 20 MHz 时,先通过示波器观察 CCD 的输出信号得到了如图 9 所示的图像,由图像看出,信号和芯片手册,符合预期,其中 A 为 RS 复位信号使能输出的复位电平,B 为 CP 钳位信号使能输出的钳位电平,C 则是像元的有效电平信号。

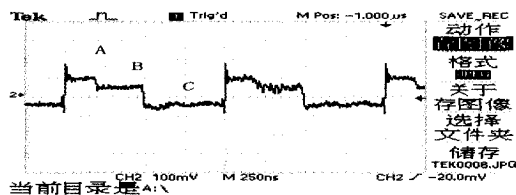


图 9 实测 CCD 输出信号

然后用通过 CCD 采集图像并送至 A/D 处理与转换之后,送至上位机得到如图 10 所示图像,测试结果表明,本系统在高速状态下可以正常工作并得到清晰的图像。



图 10 测试图像

(下转第 51 页)

6 结 论

军用战术通信系统存在显著的对抗性设计要求,因此更高效的射频隐身系统波形设计将是必然,而对参数性能敏感因素的分析将有助于总体的波形设计。本文总结了编码和扩频技术中影响通信性能和隐身性能的性能敏感因素,通过理论分析和软件仿真,得出单一性能敏感因素对通信性能和隐身性能定性或定量的影响。最后通过仿真战术数据链路路模型,得出在截获概率约束下的现有辐射特征参数组合中的最优组合。

参考文献

- [1] 催琳莉,杨帆. Turbo 码的并行算法研究[J]. 电子测量与仪器学报,2010,23(7):638-624.
- [2] 胡光荣,刘颖伟. 基于 Turbo 码的卫星通信系统仿真研究[J]. 电子测量技术,2009,32(11):12-15.
- [3] 支绍龙,袁兆凯. 一种小型化水声信号调制发射系统[J]. 仪器仪表学报,2012,35(7):1668-1675.
- [4] 郭世璞. 直接序列扩频通信的 MATLAB 仿真研究[J]. 科技信息,2012(8):245.
- [5] 俞大磊,张歆. 水声通信系统中的 Turbo 编码方案研

究[J]. 电子测量技术,2010,33(3):26-30.

- [6] 杨红兵,周建江,汪飞,等. 飞机射频隐身表征参量及其影响因素分析[J]. 航空学报,2010,31(10):2040-2045.
- [7] 侯小林,羊彦,高健健,等. 雷达低截获概率信号及验证方法[J]. 西安电子科技大学学报:自然科学版,2012,39(4):184-190.
- [8] 邱冬冬,鲁新龙. 直序扩频信号码元的同步方法研究[J]. 国外电子测量技术,2012,31(9):23-26.
- [9] 高进涛,朱静波. 对两种通信体制误码率计算公式的辨析[J]. 现代电子技术,2009(21):37-39.
- [10] 沈志,周世平,胡哲,等. 超宽带低截获率扩频系统实现[J]. 电讯技术,2012,52(8):1251-1254.

作者简介

邹星,硕士研究生,在读研究生,主要研究方向为通信信号处理等。

E-mail:zouxing21@126.com

吴建斌,副教授,主要研究方向为抗截获通信关键技术以及移动通信等。

(上接第 36 页)

5 结 论

提出了一种线阵 CCD 高速图像采集系统,通过 XC3S500E 这款 FPGA 对线阵 CCD 提供驱动时序,通过专门为处理 CCD 信号而设计的 AD9945 来对 CCD 输出信号进行去噪与 A/D 转换,再将数字信号送入 FIFO 进行缓存,最后经由以太网传入上位机。整个系统充分利用了 FPGA 的优势,与传统的采集方式相比,具有高速,实时,稳定,易修改,传输数据量大等优点。实验表明,本设计是一种抗噪能力强,采集速度快,具有高度稳定性的线阵 CCD 高速图像采集系统。

参考文献

- [1] 谢印忠,庄松林,张保洲. 基于线性 CCD 的光谱仪定标研究[J]. 仪器仪表学报,2011,32(3):547-548.
- [2] 刘则洵,全先荣. CCD 相机输出非均匀性线性校正系数的定标[J]. 红外与激光工程,2012,42(8):2212-2213.
- [3] 李守正,汤斌,欧红师,等. 一种基于 FPGA 的 CCD 图像传感器驱动系统设计[J]. 国外电子测量技术,2012,31(1):74-75.
- [4] 孙晓晔,盖素丽. 基于 FPGA 和线阵 CCD 的色选实验

平台研究[J]. 微型机与应用,2012,31(21):33-34.

- [5] 闫成彦. 基于 USB 的线阵 CCD 图像采集系统[D]. 大连:大连理工大学,2009.
- [6] 高尚. 基于 FPGA 的线阵 CCD 图像测量系统研究[D]. 安徽:安徽大学,2011.
- [7] 李丹. 线阵 CCD 测量系统的设计与实现[D]. 重庆:重庆大学,2013.
- [8] 夏真珍,汪涛,张俊. 基于 FPGA 的 CCD 低噪声测量系统设计[J]. 传感器与微系统,2014,33(4):88-89.
- [9] 陶纯匡,尹刚,汪涛,等. 基于 ARM 和 FPGA 的 CCD 低噪声测量系统的设计[J]. 电子测量技术,2010,33(3):64-65.
- [10] 邓志. 基于线阵 CCD 白光干涉技术位移测量系统的研究[D]. 成都:华中科技大学,2012.
- [11] 王海涛,付钧,鲜勇,等. 基于 LabWindows/CVI 的数据采集系统软件设计[J]. 舰船电子工程,2010(5):211-212.

作者简介

任慧建,硕士研究生,主要研究方向为数据处理。

E-mail:rhj0830@126.com